

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221598

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

H 0 3 H 17/02

識別記号

庁内整理番号

F I

技術表示箇所

D 8842-5 J

A 8842-5 J

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平6-8366

(22) 出願日 平成6年(1994)1月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 安田 信行

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

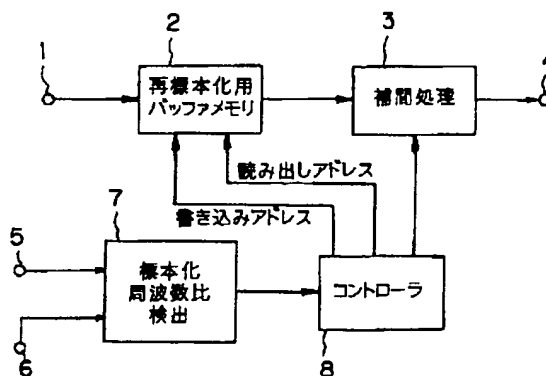
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 標準化周波数変換装置

(57) 【要約】

【構成】 再標準化用バッファメモリ2は、入力端子1から入力された入力標準化周波数F_{sl}の入力信号D_{sl}を記憶する。補間処理回路3は、再標準化用バッファメモリ2からの読み出し信号に補間処理を施す。標準化周波数比検出回路7は、入力端子5から供給される入力標準化周波数F_{sl}と入力端子6から供給される出力標準化周波数F_{so}との現在の標準化周波数比R_nを検出し、該現在の標準化周波数比R_nと一検出周期前の過去の検出値R_{n-1}に基づいて新たな標準化周波数比R_{n,NEW}を検出する。コントローラ8は、新たな標準化周波数比R_{n,NEW}から再標準化用バッファメモリ2及び補間処理回路3を制御する。

【効果】 一定時間継続的に標準化周波数比が変化し続けても再標準化時刻アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする。



標準化周波数変換装置のブロック図

1

【特許請求の範囲】

【請求項1】 入力信号の標準化周波数を任意の標準化周波数に変換する標準化周波数変換装置において、

上記入力信号を記憶する記憶手段と、

上記記憶手段から読み出された信号を補間処理する補間処理手段と、

上記入力信号の標準化周波数と上記任意の標準化周波数との標準化周波数比を検出し、該検出値及び過去の検出値に基づいて新たな標準化周波数比を検出する標準化周波数比検出手段と、

上記標準化周波数比検出手段の新たな標準化周波数比に依じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有することを特徴とする標準化周波数変換装置。

*

$$R_{n,NEW} = R_n + k \Delta R_n + \sum_{m=1}^{\infty} (1-k)^m (\Delta R_{n-m})$$

の式により求めることを特徴とする請求項1記載の標準化周波数変換装置。

【請求項4】 上記標準化周波数比検出手段は、上記入力信号の標準化周波数と上記任意の標準化周波数の内の一方の標準化周波数の周期に対して充分高速でかつ他方の標準化周波数の整数倍のクロックで、上記一方の標準化周波数の周期を計数することを特徴とする請求項1記載の標準化周波数変換装置。

【請求項5】 上記補間処理手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより隣合った二個のオーバーサンプリングデータを求め、さらにこれら二個のオーバーサンプリングデータに直線補間を施すことを特徴とする請求項1記載の標準化周波数変換装置。

【請求項6】 上記入力信号の標準化周波数が上記任意の標準化周波数よりも高いときには、上記補間処理手段の出力信号に帯域制限を施すことを特徴とする請求項1記載の標準化周波数変換装置。

【請求項7】 上記標準化周波数比検出手段は、短い時間周期と長い時間周期で上記入力信号の標準化時間周期と上記任意の標準化周波数との標準化周波数比を検出し、該短い時間周期及び該長い時間周期での現在の検出値及び過去の検出値に応じて、短い時間周期及び長い時間周期での新たな標準化周波数比を検出し、該2つの新たな標準化周波数比を切り換えて出力することを特徴とする請求項1記載の標準化周波数変換装置。

【請求項8】 上記標準化周波数比検出手段は、短い時間周期での新たな標準化周波数比と長い時間周期での新たな標準化周波数比との所定の精度内での一致又は不一致を判別し、一致のときには上記長い時間周期での標準化周波数比を、不一致のときには上記短い時間周期での標準化周波数比を選択して出力することを特徴とする請求項1記載の標準化周波数変換装置。

2

*【請求項2】 上記標準化周波数比検出手段は、新たな標準化周波数比 $R_{n,NEW}$ を、現在の検出値 R_n の2倍の値 $2R_n$ から過去の検出値 R_{n-1} を減算して、

$$R_{n,NEW} = 2R_n - 1$$

の式により求めることを特徴とする請求項1記載の標準化周波数変換装置。

【請求項3】 上記標準化周波数比検出手段は、新たな標準化周波数比 $R_{n,NEW}$ を、現在の検出値 R_n と、該現在の検出値 R_n と過去の検出値 R_{n-1} との差分値 ΔR_n の k ($k < 1$) 倍値 $k \Delta R_n$ と、 $(1-k) \cdot (\Delta R_{n-m})$ の m の1から無限大までの項の総和値としての無限級数とを加算して、

【数1】

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入力信号の標準化周波数を再標準化して任意の標準化周波数に変換する標準化周波数変換装置に関する。

【0002】

【従来の技術】 最近、オーディオ信号を光ケーブルや同軸ケーブル等を用いてデジタル信号のまま伝送し、デジタルオーディオインターフェースを介して再生するようなデジタルオーディオ信号再生装置が普及するようになった。このデジタルオーディオ信号再生装置においては、デジタルオーディオ信号受信時に位相比較器と電圧制御発振器（以下、VCOという。）とで構成されるフェーズロックループ（以下、PLLという。）を用いてクロックを生成している。しかし、このクロック生成時にPLLのVCOによるジッタのためにデジタル／アナログ（以下、D/Aという。）変換処理特性を劣化させてしまうことがある。このため、コンパクトディスク（以下、CDという。）プレーヤ、デジタルオーディオテープ（以下、DATという。）プレーヤ等のデジタルオーディオ信号記録媒体を再生するような装置において、クォーツクロックを用いてデジタルオーディオ信号をD/A変換処理によりアナログオーディオ信号に変換し、その後アナログオーディオ信号を伝送したほうが歪のない良好なオーディオ信号を得ることができるという場合がある。

【0003】 また、現在、デジタルオーディオ信号のソースとなる記録媒体、例えば、CD、CDよりも小型の光ディスク、DAT、DATよりも小型のデジタルオーディオテープにおいては、デジタルオーディオ信号記録時の標準化周波数は、例えば、44.1kHz、48kHz、32kHzのいずれかであり、統一されていない。また、記録媒体ではないがデジタルオーディオ信号のソースとなる衛星放送（以下、BSという。）も、標準化周波数

は、上記標準化周波数のうちのいずれかである。このため、例えば、標準化周波数が48KHzであるDATとBSからのデジタルオーディオ信号を標準化周波数が44.1KHzである小型光ディスクに記録する場合には、この標準化周波数が48KHzであるDATとBSのデジタルオーディオ信号をD/A変換処理によりアナログ信号に変換し、その後、再度アナログ/デジタル（以下、A/Dという。）変換処理により、標準化周波数が44.1KHzのデジタルオーディオ信号に変換しなければならず、歪等による特性劣化が避けられなかった。

【0004】また、DATを用いてデジタルオーディオ信号をミキシング録音するような場合において、ミキシングの対象となる各々のデジタルオーディオ信号は、標準化周波数や同期方法が異なる場合、各々アナログ信号に変換してからミキシングすることが必要となる。

【0005】以上のように、クロックジッタの発生による性能劣化、異なる標準化周波数による再生デジタルオーディオ信号の劣化を防止し、自由な標準化周波数変換によるデジタルミキシングを実現するには、非同期型の標準化周波数変換装置の開発が望まれてきた。

【0006】一般に、この標準化周波数変換装置は、標準化周波数F_{si}で入力された信号を標準化周波数F_{so}で再標準化するための再標準化点の特定に再標準化時間アドレスを用いている。この再標準化時間アドレスは、入力信号の標準化周波数（以下、入力標準化周波数という。）F_{si}と再標準化される信号の標準化周波数（以下、出力標準化周波数という。）F_{so}との比に応じて生成される。

【0007】具体的には、入力標準化周波数F_{si}と出力標準化周波数F_{so}の標準化周波数比Rを、出力標準化周波数F_{so}の周期（以下、出力標準化周期という。）T_{so}のN倍の周期t（=N・T_{so}）を入力標準化周波数F_{si}のM倍の入力基準クロック（以下、入力マスタークロックという。）MCKi（=M・F_{si}）で計数することによって、F_{si}やMCKiやF_{so}等のジッタ成分を平均化し除去しながら検出し、この標準化周波数比R及び再標準化時間を累積加算して再標準化時間アドレスを生成していた。そして、この再標準化時間アドレスにより、再標準化用バッファメモリ内に格納された再標準化点を読み出すことによって、標準化周波数の変換を行っていた。

【0008】

【発明が解決しようとする課題】ところで、より高精度な標準化周波数変換すなわち再標準化時間アドレスを用いて再標準化周波数を得るための変換を行うためには、再標準化時間アドレスの分解能を向上することが必要となる。このため、上記倍率Nを大きくして入力標準化周波数F_{si}と出力標準化周波数F_{so}の標準化周波数比Rを検出する検出周期（時間）tを増大させることが考えら

れる。しかし、この場合、入力標準化周波数F_{si}と出力標準化周波数F_{so}を可変するような用途においては過度的に標準化周波数比Rの値と現実のF_{si}/F_{so}とに誤差が生じてしまうという不都合が生じてしまう。

【0009】このため、高精度な標準化周波数の変換は、標準化周波数F_{si}や再標準化周波数F_{so}が一定であるという条件のもとで実現されていた。

【0010】また、一定時間継続的に標準化周波数比が変化し続けると再標準化時間アドレスの誤差が累積されてバッファメモリの容量を越えてしまう虞があり、変化速度及び変化量の制限やバッファメモリの増大を招いていた。これは、上述したように入力標準化周波数F_{si}と出力標準化周波数F_{so}を可変するような用途においては標準化周波数比Rの値と現実のF_{si}/F_{so}とに、図13に示すように、誤差ΔRが生じてしまうということによる。

【0011】一方、上記入力マスタークロックMCKiを高くして上記検出周期tの短縮を考慮せず、再標準化時間アドレスの分解能を向上することも考えられる。しかし、この場合、カウンタ等の回路動作速度の限界や入力クロックジッタの吸収除去の問題が持ち上がる。このため単純に上記入力マスタークロックMCKiの周波数を高くして再標準化時間アドレスの分解能を向上させようとしても誤差の減少を可能にできるものの誤差の累積の防止を可能にできなかった。

【0012】本発明は、上記実情に鑑みてなされたものであり、一定時間継続的に標準化周波数比が変化し続けても再標準化時間アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする標準化周波数変換装置の提供を目的とする。

【0013】

【課題を解決するための手段】本発明に係る標準化周波数変換装置は、入力信号の標準化周波数を任意の標準化周波数に変換する標準化周波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の標準化周波数と上記任意の標準化周波数との標準化周波数比を検出し、該検出値及び過去の検出値に基づいて新たな標準化周波数比を検出する標準化周波数比検出手段と、上記標準化周波数比検出手段の新たな標準化周波数比に応じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有することによって上記課題を解決する。

【0014】この場合、上記標準化周波数比検出手段は、新たな標準化周波数比R_{n,NEW}を、現在の検出値R_nの2倍の値2R_nから過去の検出値R_{n-1}を減算して、 $R_{n,NEW} = 2R_n - 1$ の式により求めるようにしてもよい。

【0015】また、上記標準化周波数比検出手段は、新

たな標準化周波数比 R_n, NEW を、現在の検出値 R_n と、該現在の検出値 R_n と過去の検出値 R_{n-1} との差分値 ΔR_n の k ($k < 1$) 倍値 $k \Delta R_n$ と、 $(1-k) \cdot (\Delta R_{n-m})$ の m の1から無限大までの項の総和値としての無限*

$$R_n, NEW = R_n + k \Delta R_n + \sum_{m=1}^{\infty} (1-k)^m (\Delta R_{n-m})$$

【0017】の式により求めるようにしてもよい。

【0018】また、上記標準化周波数比検出手段は、上記入力信号の標準化周波数と上記任意の標準化周波数の内の一方の標準化周波数の周期に対して充分高速でかつ

【0019】また、上記補間処理手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより隣合った二個のオーバーサンプリングデータに直線補間処理を施すことが好ましい。

【0020】ここで、上記オーバーサンプリング処理による二個のオーバーサンプリングデータは2つの非巡回形フィルタにより得られる。

【0021】また、上記入力信号の標準化周波数が上記任意の標準化周波数よりも高いときには、上記補間処理手段の出力信号に帯域制限を施すことが好ましい。

【0022】また、上記標準化周波数比検出手段は、短い時間周期と長い時間周期で上記入力信号の標準化時間周期と上記任意の標準化周波数との標準化周波数比を検出し、該短い時間周期及び該長い時間周期での現在の検出値及び過去の検出値に応じて、短い時間周期及び長い時間周期での新たな標準化周波数比を検出し、該2つの新たな標準化周波数比を切り換えて出力することが好ましい。

【0023】また、上記標準化周波数比検出手段は、短い時間周期での新たな標準化周波数比と長い時間周期での新たな標準化周波数比との所定の精度内での一致又は不一致を判別し、一致のときには上記長い時間周期での標準化周波数比を、不一致のときには上記短い時間周期での標準化周波数比を選択して出力するようにしてもよい。

【0024】この一致又は不一致の判別は、短い時間周期での標準化周波数比と長い時間周期での標準化周波数比を比較手段によって比較することによって行われる。所定の精度内での判別とは、長い時間周期での標準化周波数比と、短い時間周期での標準化周波数比とを所定の桁数の範囲だけ比較することによって行うことができる。例えば、標準化周波数比をデジタル値として扱う場合、ビット数の多い標準化周波数比の最上位ビットから所定のビット（例えば、ビット数の少ない標準化周波

*級数とを加算して、

【0016】

【数2】

数比の全ビット数に応じた)までと、ビット数の少ない標準化周波数比の全ビットを比較することによる。

【0025】また、上記制御手段は、上記記憶手段にデータ読み出しアドレスである上記再標準化時間アドレスとデータ書き込みアドレスとを供給している。また、上記制御手段は、上記補間処理手段に上記オーバーサンプリング処理に使われるオーバーサンプリング係数の選択制御信号と、上記直線補間処理に使われる先行リーディング用及び後追いトレーリング用の直線補間係数を供給している。

【0026】

【作用】標準化周波数比検出手段は、入力信号の標準化周波数と任意の標準化周波数との標準化周波数比を検出し、該現在の検出値及び一検出周期前の過去の検出値に基づいて新たな標準化周波数比を求め制御手段に出力する。このため、制御手段は新たな標準化周波数比に応じて記憶手段及び補間処理手段を制御するので、一定時間継続的に標準化周波数比が変化し続けても再標準化時刻アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする。

【0027】

【実施例】以下、本発明に係る標準化周波数変換装置の好ましい実施例を図面を参照しながら説明する。

【0028】まず、第1実施例について、図1を参照しながら説明する。この第1実施例は、入力端子1から入力された信号 D_{s1} の標準化周波数 F_{s1} を再標準化して任意の標準化周波数 F_{s0} の信号 D_{s0} に変換する標準化周波数変換装置であり、入出力系が完全に非同期的な標準化周波数変換処理、すなわち、入出力信号間に同期関係の無い自由な比率の標準化周波数変換処理を実現する。以下、入力信号 D_{s1} の標準化周波数 F_{s1} を入力標準化周波数 F_{s1} とし、任意の標準化周波数 F_{s0} を出力標準化周波数 F_{s0} とする。

【0029】この第1実施例の標準化周波数変換装置は、入力端子1から入力された入力標準化周波数 F_{s1} の入力信号 D_{s1} を書き込むと共に読み出す再標準化用のバッファメモリ2と、この再標準化用バッファメモリ2の出力信号を補間する補間処理回路3と、入力端子5から供給される上記入力標準化周波数 F_{s1} 情報と入力端子6から供給される上記出力標準化周波数 F_{s0} 情報とから標準化周波数比 R_n を検出し、該現在の検出値 R_n と一検出周期前の過去の検出値 R_{n-1} に基づいて新たな標準化周波数比 R_n, NEW を検出する標準化周波数比検出回路7

と、この標準化周波数比検出回路7の新たな標準化周波数比 R_n .NEWから再標準化用バッファメモリ2及び補間処理回路3を制御するコントローラ8とを有しており、このコントローラ8によって補間処理が施された補間処理回路3は、出力端子4から出力標準化周波数 F_{so} の信号 D_{so} を出力する。

【0030】標準化周波数比検出回路7は、現在の標準*

$$R_n.NEW = R_n + \Delta R_n = R_n + (R_n - R_{n-1}) = 2R_n - R_{n-1} \dots (1)$$

となる。この新たな標準化周波数比 R_n .NEWは、コントローラ8に出力される。

【0031】コントローラ8は、標準化周波数比検出回路7から供給される新たな標準化周波数比 R_n .NEWに応じてデータ読み出しアドレスである再標準化時間アドレスを生成し、再標準化用バッファメモリ2に供給している。また、コントローラ8は、再標準化用バッファメモリ8にデータ書き込みアドレスも供給している。また、コントローラ8は、上記新たな標準化周波数比 R_n .NEWに応じて、補間処理回路3で行われるオーバーサンプリング処理に使われるオーバーサンプリング係数の選択制御信号と、直線補間処理に使われる先行リーディング用及び後追いトレーリング用の直線補間係数を生成し、該補間処理回路3に供給している。

【0032】補間処理回路3は、上記再標準化時間アドレスを基に再標準化用バッファメモリ2から必要なデータ群を読み出し、例えば非巡回形（以下、FIRという。）フィルタ処理によって再標準化時間アドレスに対応した隣合った二個の高次補間データを作り、さらにその各々のデータに直線補間を施してから加算を行うことによって出力標準化周波数 F_{so} の信号 D_{so} を生成する。

【0033】したがって、この第1実施例の標準化周波数変換装置は、入力標準化周波数 F_{si} と出力標準化周波数 F_{so} から現在の標準化周波数比 R_n を計測し、該現在の検出値 R_n 及び過去の検出値 R_{n-1} に基づいて新たな標準化周波数比 R_n .NEWを求め、コントローラ8に出力している。このため、コントローラ8は、図5のような誤差の累積することのない値（新たな標準化周波数比 R_n .NEW）から再標準化時間アドレスを生成することができるので、再標準化用バッファメモリ2にオーバーフローやアンダーフローを生じさせず、再標準化用バッファメモリ2の容量を増大させることなく、安定な標準化変換処理を行うことができる。

【0034】次に、第2実施例について図3乃至図5を参照しながら説明する。この第2実施例も図3に示すように、上述した第1実施例と同様に、入力端子11から入力された信号 D_{si} の標準化周波数 F_{si} を再標準化して任意の標準化周波数 F_{so} の信号 D_{so} に変換する標準化周波数変換装置であり、入出力系が完全に非同期な標準化周波数変換処理、すなわち、入出力信号間に同期関係の無い自由な比率の標準化周波数変換処理を実現する。以下、入力信号 D_{si} の標準化周波数 F_{si} を入力標準化周波

*化周波数比 R_n の2倍の値から過去の検出値 R_{n-1} を減算して、新たな標準化周波数比 R_n .NEWを求める。これは、図5に示すように、現在の標準化周波数比 R_n と過去の検出値 R_{n-1} との減算値 ΔR_n を現在の標準化周波数比 R_n に加算することにより、新たな標準化周波数比 R_n .NEWとしているためである。すなわち、新たな標準化周波数比 R_n .NEWは、

$$R_n.NEW = R_n + \Delta R_n = R_n + (R_n - R_{n-1}) = 2R_n - R_{n-1} \dots (1)$$

数 F_{si} とし、任意の標準化周波数 F_{so} を出力標準化周波数 F_{so} とする。

【0035】この第2実施例の標準化周波数変換装置は図3に示すように、入力端子11から入力された入力標準化周波数 F_{si} の入力信号 D_{si} を再標準化用の8 F_{si} にオーバーサンプリング処理する8 F_s オーバーサンプリングフィルタ12と、この8 F_s オーバーサンプリングフィルタ12で8 F_s とされた入力信号を書き込むと共に読み出す再標準化用のバッファメモリ13と、この再標準化用バッファメモリ13の出力信号を補間する補間処理回路14と、入力端子22から供給される標準化周波数 F_{si} の整数倍の入力基準クロック（以下、入力マスタークロックという。） $MCK_i (=M \cdot F_{si})$ で入力端子23から供給される標準化周波数 F_{so} の周期（以下、出力標準化周期という。） T_{so} のN倍の周期 $t (=N \cdot T_{so})$ を計数することによって分解能を向上した現在の標準化周波数比 R_n を計測し、この現在の標準化周波数比 R_n と一検出周期前の過去の標準化周波数比 R_{n-1} に基づいて新たな標準化周波数比 R_n .NEWを求める標準化周波数比検出回路24、この標準化周波数比検出回路24で検出された新たな標準化周波数比 R_n .NEWに応じて再標準化用バッファメモリ13及び補間処理回路14を制御するコントローラ25、このコントローラ25によって補間処理が制御された補間処理回路14からの出力信号の標準化周波数を間引きし例えば2、4、8倍の出力標準化周波数 F_{so} とすると共に、かつその一をマルチプレクサ19aにより切り換え選択する再標準化周波数信号出力回路19と、この再標準化周波数信号出力回路19からの出力信号に帯域制限を施し、出力端子21から出力標準化周波数 F_{so} の出力信号 D_{so} を出力する帯域制限フィルタ20とを有して成る。

【0036】8 F_s オーバーサンプリングフィルタ12で作られた標準化周波数8 F_{si} のデジタル信号は、上述したように再標準化用バッファメモリ13に入力されるが、この再標準化用バッファメモリ13は、例えば、20ビット64ワードのバッファRAMであり、入力標準化周波数時間の8倍のバッファとなる。

【0037】標準化周波数比検出回路24は、図4にその構成を示すように、入力端子22から供給される入力マスタークロック MCK_i により入力端子23aから入力される時間周期 t での整数倍の標準化周期 $N_s \cdot T_{so}$ を計数するカウンタ30と、このカウンタ30からの力

9

ウント出力を上記 $N_s \cdot T_{so}$ を基にラッチするラッチ31とを有してなる。

【0038】カウンタ30で $N_s \cdot T_{so}$ を入力マスタークロックMCKIによりカウントし、そのカウント結果をラッチ31でラッチすることにより、周期 t_s での現在の標準化周波数比 R_n が求められることになる。

【0039】この標準化周波数比検出回路4は、上述した第1実施例の標準化周波数比検出回路7と同様に、現在の標準化周波数比 R_n の2倍の値から一検出周期前の過去の検出値 R_{n-1} を減算して、新たな標準化周波数比 $R_{n,NEW}$ を求める。これは、図2に示すように、現在の標準化周波数比 R_n と過去の検出値 R_{n-1} との減算値 ΔR_n を現在の標準化周波数比 R_n に加算することにより、新たな標準化周波数比 $R_{n,NEW}$ としているためである。すなわち、新たな標準化周波数比 $R_{n,NEW}$ は、上記(1)式と同様に示される。

【0040】コントローラ25は、図4にその構成を示すように、標準化周波数比検出回路24から供給される新たな標準化周波数比 $R_{n,NEW}$ を加算回路32及びフリップフロップ回路32を用いて累積加算し、再標準化用バッファメモリ13のデータ読み出しアドレスを生成している。また、コントローラ25は、加算回路32及びフリップフロップ回路33を用いて、補間処理回路14へのオーバーサンプリング用の係数を選択制御する信号と、先行リーディング用及び後追いトレーリング用の直線補間係数LIP.F.L及びLIP.F.Tを生成している。

【0041】これらデータ読み出しアドレス、オーバーサンプリング用係数選択制御信号及び直線補間係数は、例えば、一つのデータ列の上位ビット範囲、中位ビット範囲及び下位ビット範囲のデータとして、このコントローラ25から出力される。

【0042】ここで、フリップフロップ回路33は、Dフリップフロップ回路であることが好ましく、入力端子34からは、この第2実施例の出力信号の標準化周波数 $8F_{so}$ に合わせて $8F_{so}$ のクロックが供給されている。もちろん、出力信号の標準化周波数が4又は $2F_{so}$ である場合には、4又は $2F_{so}$ のクロックが供給される。また、入力端子35からはイニシャライズ信号が供給される。

【0043】補間処理回路14は、図3に示すように、上記コントローラ25から供給されたデータ読み出しアドレスである再標準化時間アドレスにより再標準化用バッファメモリ13から読み出されたデータにオーバーサンプリング処理を施すと共に、直線補間を施すFIRフィルタ(L)&X LIP.F.L15及びFIRフィルタ(T)&X LIP.F.T17と、これらFIRフィルタ(L)&X LIP.F.L15及びFIRフィルタ(T)&X LIP.F.T17にオーバーサンプリング用の係数を供給する係数ROM16と、FIRフィルタ(L)&X LIP.F.L15の出力信号とFIRフィルタ(T)&X LIP.F.T17の出力信号と

10

を加算する加算器18とを有して成る。ここで、係数ROM16は、例えば、24ビット7ワードのオーバーサンプリング係数を32個持っている。

【0044】この補間処理回路14の動作を図5を参照しながら説明する。再標準化用バッファメモリ13は、コントローラ25から供給される読み出しアドレスに基づいてFIRフィルタ(L)&X LIP.F.L15及びFIRフィルタ(T)&X LIP.F.T17に図5の(A)に示すような $T_{si}/8$ 毎の例えば7個のデータを供給する。FIRフィルタ(L)&X LIP.F.L15及びFIRフィルタ(T)&X LIP.F.T17は、再標準化用バッファメモリ13から供給された例えば7個のデータに、係数ROM16から読み出した例えば7個の係数を積和演算して、それぞれ $256F_{si}$ のデータを生成する。

【0045】この $256F_{si}$ のデータの隣合った2つのデータを示すのが図5の(B)である。図5の(A)、図5の(B)に示した破線包囲領域E1は、 $T_{si}/8$ であり、図5の(B)に示した破線包囲領域E2は、 $T_{si}/256$ 間隔の $256F_{si}$ の隣合った2つのデータである。

【0046】次に、FIRフィルタ(L)&X LIP.F.L15及びFIRフィルタ(T)&X LIP.F.T17は、コントローラ25から供給される直線補間係数を $T_{si}/256$ 間隔の隣合った2つのデータに乗じてから加算器18により加算し、図5の(C)に示すような直線補間を行う。

【0047】このようなオーバーサンプリングと直線補間を繰り返すことにより、この第2実施例は、図5の(D)に示すような標準化周波数 F_{so} のデータ D_{so} を生成する。

【0048】ここで、直線補間係数について説明しておく。直線補間係数としては、リーディング先行データ用係数LIP.F.Lと、トレーリング後追いデータ用係数LIP.F.Tとがある。これらの直線補間係数は、コントローラ25において、累積加算された値の下位のデータ、例えば12ビットを用いて生成する。具体的には、トレーリング後追いデータ用係数LIP.F.Tは、下位12ビットデータ、リーディング先行データ用係数LIP.F.Lは、下位12ビットの1の補数によって与えられる。

【0049】図5の(C)には、破線包囲領域E3内の $T_{si}/256$ 間隔の2つのデータ D_{sa} 、 D_{sb} に上記直線補間係数を乗算して得たデータ D_{so} を示す。

【0050】補間処理回路14から出力されるデータは $8F_{so}$ のデータである。この $8F_{so}$ のデータは、再標準化周波数信号出力回路19に供給される。この再標準化周波数信号出力回路19は、 $8F_{so}$ に間引き処理を施し、 $4F_{so}$ 又は $2F_{so}$ に変換し、 $8F_{so}$ 、 $4F_{so}$ 又は $2F_{so}$ のうちの1をマルチプレクサ19aで切り換え選択している。

【0051】帯域制限フィルタ20は、出力データにエ

リアシング雑音を発生させないためのフィルタである。第1の標本化周波数 F_{Si} が出力標本化周波数 F_{So} よりも高いときには、エリアシング雑音が発生する虞があるので、マルチプレクサ19aからの出力信号を帯域制限する。

【0052】したがって、この第2実施例の標本化周波数変換装置は、入力標本化周波数 F_{Si} と出力標本化周波数 F_{So} から現在の標本化周波数比 R_n を計測し、該現在の検出値 R_n 及び過去の検出値 R_{n-1} に基づいて新たな標本化周波数比 $R_{n,NEW}$ を求め、コントローラ25に出力している。このため、コントローラ25は、図2のような誤差の累積することのない値（新たな標本化周波数比 $R_{n,NEW}$ ）から再標本化時間アドレスを生成することができるので、再標本化用バッファメモリ13にオーバーフローやアンダーフローを生じさせず、再標本化用バッファメモリ13の容量を増大させることなく、安定な標本化変換処理を行うことができる。さらに、出力信号となる標本化周波数 F_{So} の出力信号 D_{So} は、エリアシングのない信号となる。

【0053】次に、第3実施例について図6乃至図8を参照しながら説明する。この第3実施例も、上述した第1実施例、第2実施例と同様に、入力された信号 D_{Si} の標本化周波数 F_{Si} を再標本化して任意の標本化周波数 F_{So} の信号 D_{So} に変換する標本化周波数変換装置であり、入出力系が完全に非同期的な標本化周波数変換処理、すなわち、入出力信号間に同期関係の無い自由な比率の標本化周波数変換処理を実現する。以下、入力信号 D_{Si} の標本化周波数 F_{Si} を入力標本化周波数 F_{Si} とし、任意の標本化周波数 F_{So} を出力標本化周波数 F_{So} とする。また、この第3実施例の概略構成は、第2実施例の概略構成を示した図3で示すことができる。この第3実施例と第2実施例との相違点は、標本化周波数比検出回路24の具体的構成並びに動作である。

【0054】以下、図3と、新たに図6乃至図8を参照しながらこの第3実施例について説明するが、上述した理由から標本化周波数比検出回路24の具体的構成並びに動作を中心として説明を進める。

【0055】この第3実施例の標本化周波数変換装置は図3に示すように、8Fsオーバーサンプリングフィルタ12と、再標本化用のバッファメモリ13と、補間処理回路14と、入力端子22から供給される標本化周波数 F_{Si} の整数倍の入力マスタークロック $MCKi$ （ $=M \cdot F_{Si}$ ）で入力端子23から供給される標本化周波数 F_{So} の周期（以下、出力標本化周期という。） T_{So} のN倍の周期 t （ $=N \cdot T_{So}$ ）を短い時間周期 t_s と長い時間周期 t_L で計数することによって分解能を向上した標本化周波数比を短い時間周期 t_s と長い時間周期 t_L で、それぞれ検出し、短い時間周期 t_s 及び長い時間周期 t_L での現在の検出値 R_{ns} 及び R_{nL} と、過去の検出値 R_{ns-1} 及び R_{nL-1} に基づいて、短い時間周期 t_s 及び長い時間周

期 t_L での新たな標本化周波数比 $R_{ns,NEW}$ 及び $R_{nL,NEW}$ を検出し、該新たな標本化周波数比 $R_{ns,NEW}$ 及び $R_{nL,NEW}$ を切り換えて出力する標本化周波数比検出回路24と、この標本化周波数比検出回路24で検出された新たな標本化周波数比 $R_{ns,NEW}$ 及び $R_{nL,NEW}$ から再標本化用バッファメモリ13及び補間処理回路14を制御する制御信号を生成する制御信号生成手段であり、かつ制御手段であるコントローラ25、再標本化周波数信号出力回路19と、帯域制限フィルタ20とを有して成る。

【0056】標本化周波数比検出回路24は、図6にその構成を示すように、入力端子22から供給される入力マスタークロック $MCKi$ により、入力端子23aから入力される短い時間周期 t_s での整数倍の標本化周期 $Ns \cdot T_{So}$ を計数する短周期カウンタ40と、この短周期カウンタ40からのカウント出力を上記 $Ns \cdot T_{So}$ を基にラッチするラッチ41と、入力端子22から供給される入力マスタークロック $MCKi$ により入力端子23bから入力される長い時間周期 t_L での整数倍の標本化周期 $NL \cdot T_{So}$ を計数する長周期カウンタ42と、この長周期カウンタ42からのカウント出力を上記 $NL \cdot T_{So}$ を基にラッチするラッチ43と、ラッチ41のラッチ出力とラッチ43のラッチ出力とを比較する比較回路44と、この比較回路44での比較結果に応じていずれかのラッチ出力をコントローラ25に選択して出力する選択回路45とを有してなる。

【0057】短周期カウンタ40で $Ns \cdot T_{So}$ を入力マスタークロック $MCKi$ によりカウントし、そのカウント結果をラッチ41でラッチすることにより、短周期 t_s での現在の標本化周波数比 R_{ns} が求められることになる。また、長周期カウンタ42で $NL \cdot T_{So}$ を入力マスタークロック $MCKi$ によりカウントし、そのカウント結果をラッチ43でラッチすることにより、長周期 t_L での現在の標本化周波数比 R_{nL} が求められることになる。すなわち、ラッチ41でのラッチ周期が短周期 t_s であり、ラッチ43でのラッチ周期が長周期 t_L である。このラッチ周期 t_s 及び t_L は、想定される入出力標本化周波数比変化率最大時の変換における標本化周波数比 R_{nL} の実時間に対する誤差と標本化周波数比 R_{ns} の分解能が一致するように決定する。

【0058】ここで、入力マスタークロック $MCKi$ は、 $Ns \cdot T_{So}$ 及び $NL \cdot T_{So}$ に充分高速であり、かつ上述したように入力標本化周波数 F_{Si} の整数倍 M のクロックである。

【0059】この標本化周波数比検出回路4は、短周期 t_s での現在の標本化周波数比 R_{ns} 及び長周期 t_L での現在の標本化周波数比 R_{nL} から、短周期 t_s 及び長周期 t_L での一検出周期前の過去の標本化周波数比 R_{ns-1} 及び R_{nL-1} とを求め、さらに、これらの各検出値から、短い時間周期 t_s 及び長い時間周期 t_L での新たな標本化周波数比 $R_{ns,NEW}$ 及び $R_{nL,NEW}$ を検出する。

【0060】短周期 t_s において、標準化周波数比検出回路 24 は、現在の標準化周波数比 R_{ns} の 2 倍の値から過去の検出値 R_{ns-1} を減算して、新たな標準化周波数比 $R_{ns, NEW}$ を検出する。これは、図 7 に示すように、現在 *

$$R_{ns, NEW} = R_{ns} + \Delta R_{ns} = R_{ns} + (R_{ns} - R_{ns-1}) = 2 R_{ns} - R_{ns-1}$$

となる。

【0061】長周期 t_L において、標準化周波数比検出回路 24 は、現在の標準化周波数比 R_{nL} の 2 倍の値から過去の検出値 R_{nL-1} を減算して、新たな標準化周波数比 $R_{nL, NEW}$ を検出する。これは、図 8 に示すように、現在 ※

$$R_{nL, NEW} = R_{nL} + \Delta R_{nL} = R_{nL} + (R_{nL} - R_{nL-1}) = 2 R_{nL} - R_{nL-1}$$

となる。

【0062】比較回路 44 は新たな標準化周波数比 $R_{ns, NEW}$ と新たな標準化周波数比 $R_{nL, NEW}$ とが所定の精度内で一致するか又は不一致であるか判別する。この比較回路 44 で新たな標準化周波数比 $R_{ns, NEW}$ と新たな標準化周波数比 $R_{nL, NEW}$ とが一致又は不一致と判別すると、この比較回路 44 はその情報に応じた選択制御信号を選択回路 45 に供給する。

【0063】選択回路 45 は、比較回路 44 から供給された選択制御信号に応じてラッチ 41 又はラッチ 43 から、新たな標準化周波数比 $R_{ns, NEW}$ または新たな標準化周波数比 $R_{nL, NEW}$ を切り換え選択して出力する。

【0064】比較回路 44 での比較は、ビット数の多い値である新たな標準化周波数比 $R_{nL, NEW}$ と、ビット数の少ない値である新たな標準化周波数比 $R_{ns, NEW}$ とを比較するが、その比較の際には、例えば、標準化周波数比 $R_{nL, NEW}$ の最上位ビットから所定のビット（標準化周波数比 $R_{ns, NEW}$ の全ビット数に応じた）までと、標準化周波数比 $R_{ns, NEW}$ の全ビットを比較することによる。このようにすれば、所定の範囲内において、その一致と不一致とを判別することができる。この比較回路 44 は、新たな標準化周波数比 $R_{nL, NEW}$ と新たな標準化周波数比 $R_{ns, NEW}$ とが所定の精度内で一致していると判別すると、選択回路 45 に長周期 t_L での新たな標準化周波数比 $R_{nL, NEW}$ を選択して出力せよという選択制御信号を供給する。一方、この比較回路 44 は、新たな標準化周波数比 $R_{nL, NEW}$ と新たな標準化周波数比 $R_{ns, NEW}$ とが所定の精度内で不一致である判別すると、選択回路 45 に短周期 t_s での新たな標準化周波数比 $R_{ns, NEW}$ を選択して出力せよという選択制御信号を供給する。

【0065】選択回路 45 は、比較回路 44 から供給される上記 2 つの選択制御信号によって、長周期 t_L での新たな標準化周波数比 $R_{nL, NEW}$ 又は短周期 t_s での新たな標準化周波数比 $R_{ns, NEW}$ をコントローラ 25 の加算器 46 に出力する。

【0066】コントローラ 25 は、図 6 にその構成を示すように、標準化周波数比計測回路 24 から供給される

* の標準化周波数比 R_{ns} と過去の検出値 R_{ns-1} との減算値 ΔR_{ns} を現在の標準化周波数比 R_{ns} に加算することにより、新たな標準化周波数比 $R_{ns, NEW}$ としているためである。すなわち、新たな標準化周波数比 $R_{ns, NEW}$ は、

$$\dots (2)$$

※ の標準化周波数比 R_{nL} と過去の検出値 R_{nL-1} との減算値 ΔR_{nL} を現在の標準化周波数比 R_{nL} に加算することにより、新たな標準化周波数比 $R_{nL, NEW}$ としているためである。すなわち、新たな標準化周波数比 $R_{nL, NEW}$ は、

$$\dots (3)$$

長周期 t_L での新たな標準化周波数比 $R_{nL, NEW}$ 又は短周期 t_s での新たな標準化周波数比 $R_{ns, NEW}$ を加算回路 46 及びフリップフロップ回路 47 を用いて累積加算し、再標準化用バッファメモリ 13 のデータ読み出しアドレスを生成している。また、コントローラ 25 は、加算回路 46 及びフリップフロップ回路 47 を用いて、補間処理回路 14 へのオーバーサンプリング用の係数読み出しアドレスと、直線補間用の直線補間係数を生成している。

【0067】ここで、フリップフロップ回路 47 は、D フリップフロップ回路であることが好ましく、入力端子 48 からは、この第 3 実施例の出力信号の標準化周波数 $8 F_{so}$ に合わせて $8 F_{so}$ のクロックが供給されている。もちろん、出力信号の標準化周波数が 4 又は $2 F_{so}$ である場合には、4 又は $2 F_{so}$ のクロックが供給される。また、入力端子 49 からはイニシャライズ信号が供給される。

【0068】補間処理回路 14 の概略構成及び動作は、図 3 及び図 5 を参照しながら説明した上述の第 2 実施例のそれと同様であるので、ここでは説明を省略する。

【0069】したがって、この第 3 実施例の標準化周波数変換装置は、入力標準化周波数 F_{si} の整数倍の入力マスタクロック $MCKI (= M \cdot F_{si})$ で標準化周波数 F_{so} の周期の N 倍の周期 $t (= N \cdot T_{so})$ を、短い時間周期 t_s と長い時間周期 t_L で計数することによって分解能を向上した標準化周波数比を短い時間周期 t_s と長い時間周期 t_L で、それぞれ検出し、短い時間周期 t_s 及び長い時間周期 t_L での現在の検出値 R_{ns} 及び R_{nL} と、過去の検出値 R_{ns-1} 及び R_{nL-1} に基づいて、短い時間周期 t_s 及び長い時間周期 t_L での新たな標準化周波数比 $R_{ns, NEW}$ 及び $R_{nL, NEW}$ を検出し、該短周期 t_s での新たな標準化周波数比 $R_{ns, NEW}$ と長周期 t_L での新たな標準化周波数比 $R_{nL, NEW}$ が所定の精度内で一致した場合には、長周期 t_L での新たな標準化周波数比 $R_{nL, NEW}$ を、不一致の場合には、短周期 t_s での新たな標準化周波数比 $R_{nL, NEW}$ を累積加算して、標準化データ読み出しアドレス、ROM 係数選択制御信号、直線補間係数等の制御信号を

作成し、該制御信号によって再標準化用バッファメモリ13、補間処理回路14を制御するので、再標準化用バッファメモリ13にオーバーフローやアンダーフローを生じさせず、再標準化用バッファメモリ13の容量を増大させることなく、安定な標準化変換処理を行うことができる。また、出力信号となる標準化周波数 F_{so} の出力信号 D_{so} にエリアシングを起こさせない。さらに、標準化周波数比に応じて再標準化データ読み出しアドレス等の制御信号の応答を高速とするか或は高精度とするかを適応的に切り換え、異なる標準化周波数比による再生オーディオデータ信号の劣化防止、自由な標準化周波数変換によるミキシングの実現を図ることができる。

【0070】なお、本発明に係る再標準化周波数変換装置は、再標準化周波数比計測回路を3個以上設けて高精度と高速応答に細かく対応することも可能である。

【0071】また、本発明に係る再標準化周波数変換装置は、標準化周波数比検出回路を図9のような構成とすることも可能である。この図9に示すような標準化周波数比検出回路を設けた実施例を他の実施例として以下に説明する。なお、この他の実施例は、標準化周波数比検出回路のみを上記第3実施例の標準化周波数変換装置と異ならせた構成としているので、他の構成についての説明はここでは省略する。

【0072】この他の実施例は、標準化周波数比検出回路を構成するにあたり、上述した第3実施例のように短周期カウンタと長周期カウンタを独立して設けるのではなく、短周期カウンタを備えた短周期標準化周波数比検出回路53の標準化周波数比 R_s に対し、コントローラの再標準化時刻アドレス生成のための加算回路44を時分割で共用して累積加算を施して、適応的に新たな標準化周波数比 $R_{n,NEW}$ を得るようにしており、長周期カウンタを省略することができる。

【0073】すなわち、この他の実施例の標準化周波数比検出回路は、入力端子52から入力される信号の標準化周波数 F_{si} をクロック分周器51から供給される分周クロックで計数して求めた短周期 t_s での新たな標準化周波数比 $R_{ns,NEW}$ と、該標準化周波数比 $R_{ns,NEW}$ を加算回路54と累積加算ラッチ55とを用いて累積加算し長周期ラッチ56で分周クロックを用いて計数することによって得られた長周期 t_L での新たな標準化周波数比 $R_{nL,NEW}$ との一致又は不一致を比較回路57で所定の精度内で検出し、一致のときには長周期 t_L での標準化周波数比 $R_{nL,NEW}$ を、不一致のときには短周期 t_s での標準化周波数比 $R_{ns,NEW}$ を選択回路58が選択してコントローラに出力する。ここで、クロック分周器51は、入力端子50から供給される基準クロックを分周して分周クロックを短周期標準化周波数比検出回路53、累積加算ラッチ回路55及び長周期ラッチ回路56に供給している。

【0074】したがって、この他の実施例は、長周期カ

ウンタを備えた長周期標準化周波数比検出回路を不要として、標準化周波数比に応じて再標準化時間アドレスの生成の応答を高精度とするか或は高速とするかを適応的に切り換え、標準化周波数の変動があまりないようなときには高精度な標準化周波数の変換を行い、標準化周波数の変動がある程度大きいときには高速な標準化周波数の変換を行っている。

【0075】さらに、本発明に係る標準化周波数変換装置は、上述した第2実施例の標準化周波数変換装置の標準化周波数比検出回路24を図10に示すように構成してもよい。

【0076】この図10に示す標準化周波数比検出回路を設ける他の実施例（以下、図10に示す他の実施例という）も、上記（1）式で示されるように、現在の標準化周波数比 R_n の2倍の値から一検出周期前の過去の検出値 R_{n-1} を減算して、新たな標準化周波数比 $R_{n,NEW}$ を求めている。

【0077】すなわち、この図10に示す他の実施例は、入力端子62から入力される信号の標準化周波数比 F_{si} を標準化周波数比検出回路63が分周クロックで計数することによって得た基準となる標準化周波数比 R_n をDフリップフロップ64及び反転回路65を介して加算回路67に供給し、該加算回路67にてビットシフト器66を介した標準化周波数比 R_n に加算している。ビットシフト器66は標準化周波数比 R_n の2倍の値 $2R_n$ を得、Dフリップフロップ64及び反転回路65は標準化周波数比 R_n の一検出周期前の値 R_{n-1} の逆符号の値 $-R_{n-1}$ を得る。よって、加算回路67では、上記（1）式に示されるような演算が行われる。ここで、クロック分周器61は、入力端子60から供給される基準クロックを分周した分周クロックを標準化周波数比検出回路63及びDフリップフロップ64に供給している。

【0078】したがって、この図10に示す他の実施例は、入力標準化周波数 F_{si} と出力標準化周波数 F_{so} から現在の標準化周波数比 R_n を計測し、該現在の検出値 R_n 及び過去の検出値 R_{n-1} に基づいて新たな標準化周波数比 $R_{n,NEW}$ を求めている。このため、コントローラ25は、図2のような誤差の累積することのない値（新たな標準化周波数比 $R_{n,NEW}$ ）から再標準化時間アドレスを生成することができるので、再標準化用バッファメモリ13にオーバーフローやアンダーフローを生じさせず、再標準化用バッファメモリ13の容量を増大させることなく、安定な標準化変換処理を行うことができる。

【0079】またさらに、本発明に係る標準化周波数変換装置は、上述した第2実施例の標準化周波数変換装置の標準化周波数比検出回路24を図11に示すように構成してもよい。

【0080】この図11に示す標準化周波数比検出回路を設ける他の実施例（以下、図11に示す他の実施例という）は、入力端子72から入力される信号の標準化周

波数比 F_{si} を標準化周波数比検出回路 73 が分周クロックで計数することによって得た基準となる標準化周波数比 R_n を D フリップフロップ 74 及び反転回路 75 を介して加算回路 76 に供給し、該加算回路 76 にて標準化周波数比 R_n に加算している。D フリップフロップ 74 及び反転回路 75 は標準化周波数比 R_n の一検出周期前の値 R_{n-1} の逆符号の値 $-R_{n-1}$ を得る。よって、加算回路 76 は現在の標準化周波数比 R_n と一検出周期前の標準化周波数比 R_{n-1} との差分 ΔR_n を出力する。

【0081】この差分 ΔR_n は乗算回路 76 及び加算回路 80 に供給される。乗算回路 76 は差分 ΔR_n に係数 k ($k < 1$) を乗算し、その乗算結果 $k \Delta R_n$ を加算回路 78 に供給する。加算回路 80 は差分 ΔR_n に後述する D フリップフロップ 82 の出力信号を累積加算する。

【0082】加算回路 80 の出力信号は、乗算回路 81 に供給され $(1-k)$ と乗算される。この乗算回路 81 の出力信号は D フリップフロップ 82 に供給される。D フリップフロップ 82 は、クロック分周器 71 から供給される分周クロックを基に上記乗算回路 81 の出力信号を計数し、 m 検出周期前の値を出力する。したがって、加算回路 80、乗算回路 81 及び D フリップフロップ 82 よりなる帰還系回路は、 $(1-k) \cdot (\Delta R_n - m)$ の無*

$$R_{n,NEW} = R_n + k \Delta R_n + \sum_{i=1}^{\infty} (1-k)^i \cdot (\Delta R_{n-m})$$

... (4)

【0087】ここで、 $\Delta R_n = R_n - R_{n-1}$ 、 $k < 1$ である。

【0088】そして、この図 11 に示す他の実施例は、この新たな標準化周波数比 $R_{n,NEW}$ をコントローラ 25 に出力している。このため、コントローラ 25 は、図 12 のような誤差の累積することのない値（新たな標準化周波数比 $R_{n,NEW}$ ）から再標準化時間アドレスを生成することができるので、再標準化用バッファメモリ 13 にオーバーフローやアンダーフローを生じさせず、再標準化用バッファメモリ 13 の容量を増大させることなく、安定な標準化変換処理を行うことができる。

【0089】

【発明の効果】本発明に係る標準化周波数変換装置は、入力信号の標準化周波数を任意の標準化周波数に変換する標準化周波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の標準化周波数と上記任意の標準化周波数との標準化周波数比を検出し、該検出値及び過去の検出値に基づいて新たな標準化周波数比を検出する標準化周波数比検出手段と、上記標準化周波数比検出手段の新たな標準化周波数比に応じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有するので、一定時間継続的に標準化周波数比が変化し続けても再標準化時刻アドレスの誤差の累積を発生させず、よってバッファメモリの容量を増大させるこ

* 限級数を求める回路となる。

【0083】この帰還系回路の $(1-k) \cdot (\Delta R_n - m)$ の無限級数は、加算回路 78 で乗算回路 77 からの乗算結果 $k \Delta R_n$ に加算される。この加算回路 78 の加算出力は加算回路 79 に供給される。加算回路 79 は、現在の標準化周波数比 R_n に加算回路 78 の加算出力を加算して、新たな標準化周波数比 $R_{n,NEW}$ を出力する。

【0084】ここで、クロック分周器 71 は、入力端子 70 から供給される基準クロックを分周した分周クロックを標準化周波数比検出回路 73、D フリップフロップ 74 及び D フリップフロップ回路 82 に供給している。

【0085】したがって、この図 11 に示す他の実施例は、入力標準化周波数 F_{si} と出力標準化周波数 F_{so} から現在の標準化周波数比 R_n を計測し、該現在の検出値 R_n に、D フリップフロップ 74 及び反転回路 75 から得た $k \Delta R_n$ と、加算回路 80、乗算回路 81 及び D フリップフロップ 82 よりなる帰還系回路の出力 $(1-k) \cdot (\Delta R_n - m)$ の m の 1 から無限大までの項の総和値としての無限級数とを加算し、次の (4) 式に示すように新たな標準化周波数比 $R_{n,NEW}$ を得ている。

【0086】

【数 3】

となく、かつ、変化速度及び変化量の制限を不要とする。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の標準化周波数変換装置の概略構成を示すブロック図である。

【図 2】図 1 に示した第 1 実施例の標準化周波数変換装置に設けられた標準化周波数比検出回路の動作を説明するための図である。

【図 3】本発明の第 2 実施例の標準化周波数変換装置の概略構成を示すブロック図である。

【図 4】図 3 に示した第 2 実施例の標準化周波数変換装置の標準化周波数比検出回路とコントローラの概略構成を示すブロック図である。

【図 5】図 3 に示した第 2 実施例の標準化周波数変換装置の補間処理回路の動作を説明するための図である。

【図 6】本発明の第 3 実施例の標準化周波数変換装置に用いる標準化周波数比検出回路とコントローラの概略構成を示すブロック図である。

【図 7】第 3 実施例の標準化周波数変換装置の標準化周波数比検出回路の短周期での動作を説明するための図である。

【図 8】第 3 実施例の標準化周波数変換装置の標準化周波数比検出回路の長周期での動作を説明するための図である。

【図 9】本発明の他の実施例の標準化周波数変換装置に

19

用いる標準化周波数比検出回路の概略構成を示すブロック図である。

【図 10】本発明に他の実施例の標準化周波数変換装置に用いる標準化周波数比検出回路の概略構成を示すブロック図である。

【図 11】本発明の他の実施例の標準化周波数変換装置の標準化周波数比検出回路の概略構成を示すブロック図である。

【図 12】図 11 に示す他の実施例の標準化周波数変換装置の標準化周波数比検出回路の動作を説明するための図である。

【図 13】従来の標準化周波数変換装置に用いられる標

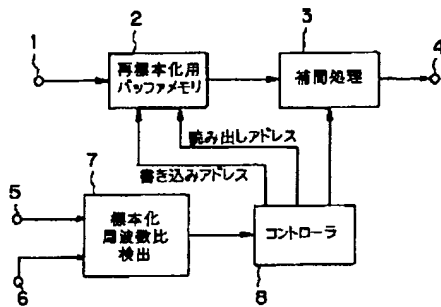
20

本化周波数比検出回路の動作を説明するための図である。

【符号の説明】

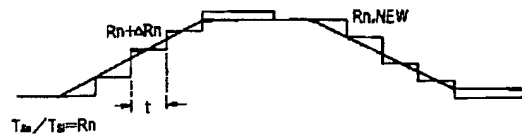
- 2 再標準化用バッファメモリ
- 3 補間処理回路
- 7 標準化周波数比検出回路
- 8 コントローラ
- 12 $8F_s$ オーバーサンプリングフィルタ
- 13 再標準化用バッファメモリ
- 14 補間処理回路
- 19 再標準化周波数信号出力回路
- 20 帯域制限フィルタ

【図 1】



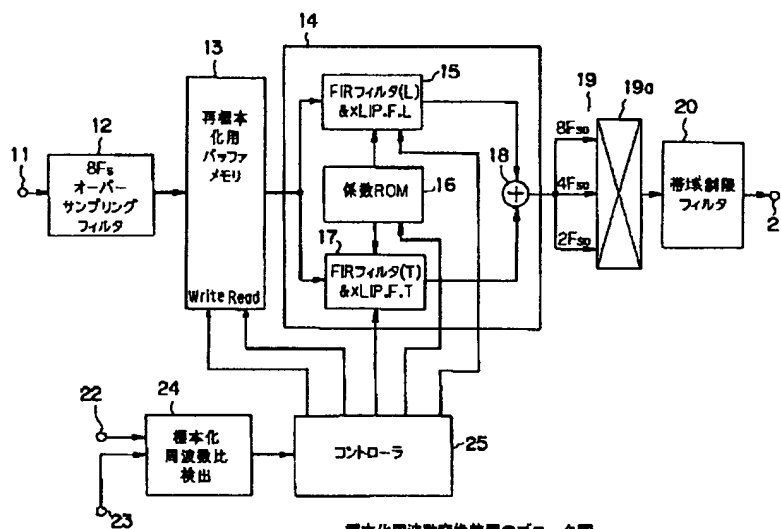
標準化周波数変換装置のブロック図

【図 2】



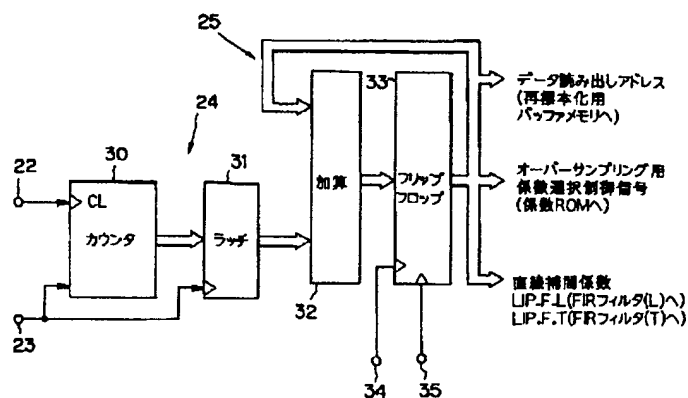
標準化周波数比検出回路の動作説明図

【図 3】



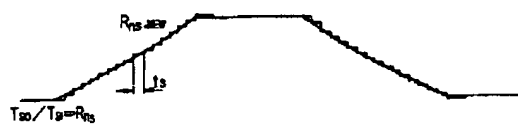
標準化周波数変換装置のブロック図

【图 4】



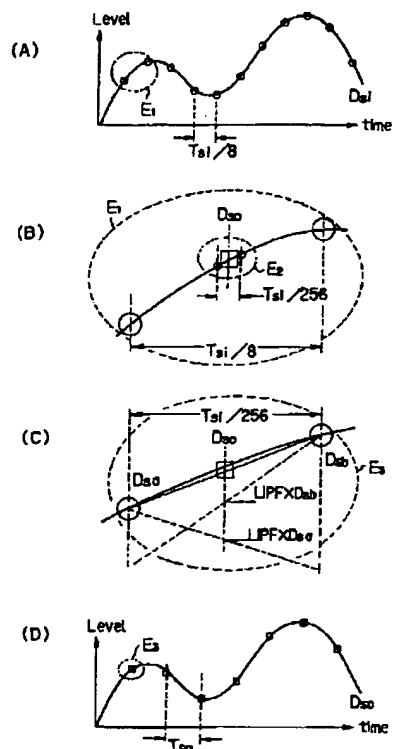
標準化周波数比検出回路とコントローラのブロック図

【図7】



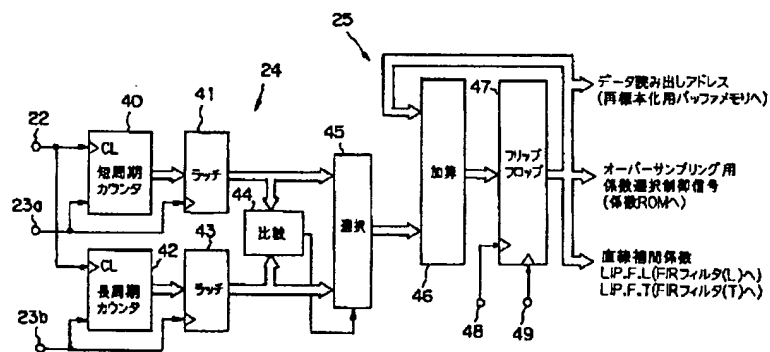
短周期での標準化周波数比検出回路の動作説明図

【図 5】



補間処理回路の動作説明図

【図 6】



標準化周波数比検出回路とコントローラのブロック図

【図8】



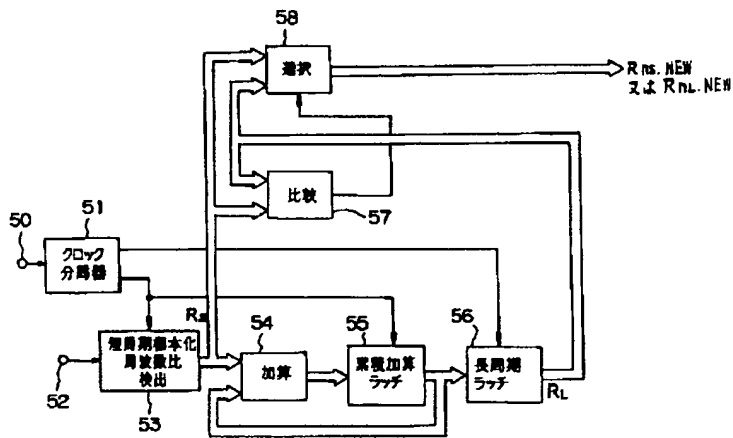
長周期での標準化周波数比検出回路の動作説明図

【図12】



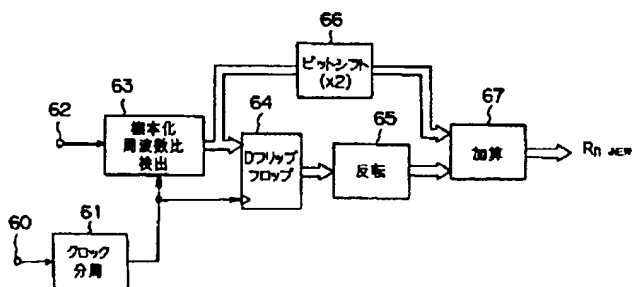
標準化周波数比検出回路の動作説明図

【図9】



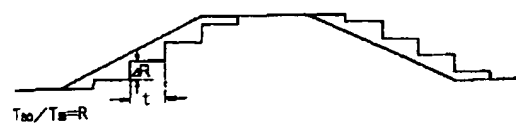
標準化周波数比検出回路のブロック図

【図10】

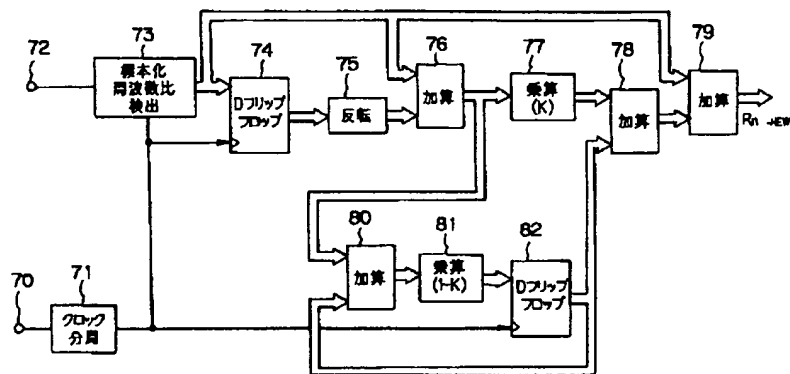


標準化周波数比検出回路のブロック図

【図13】

従来の標準化周波数比検出装置の用いられる
標準化周波数比検出回路の動作説明図

【図11】



標準化周波数比検出回路のブロック図